

MENU

SEARCH

INDEX

DETAIL

BACK

2/2



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 11017129

(43)Date of publication of application: 22.01.1999

(51)Int.Cl.

H01L 27/10  
H01L 21/28  
H01L 27/108  
H01L 21/8242  
H01L 29/78

(21)Application number: 09169135

(71)Applicant:

HITACHI LTD

(22)Date of filing: 25.06.1997

(72)Inventor:

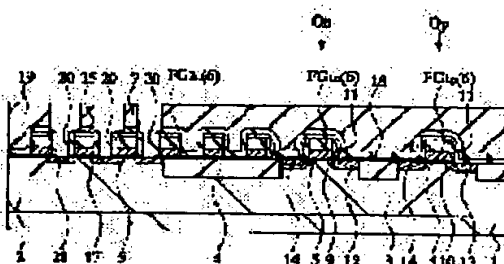
YOSHIDA MAKOTO  
KUMAUCHI TAKAHIRO  
TADAKI YOSHITAKA

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To realize higher integration and higher performance of a logic hybrid DRAM.

**SOLUTION:** After a gate electrode FG1n of an n-channel MISFET Qn and a gate electrode FG1P of a p-channel MISFET Qp of a logic part are formed, a silicide layer 14 is formed on the surfaces of source regions and drain regions of the n-channel MISFET Qn and the p-channel MISFET Qp of the logic part. Then, after a gate electrode FG2n of a memory cell selection MISFET of a DRAM part memory cell is formed, first contact holes 20 extended to a source region and a drain region of the memory cell selection MISFET of the DRAM part memory cell are formed. Then, a silicide layer 21 is formed on the surfaces of the source region and the drain region of the memory cell selection MISFET exposed at the bottoms of the first contact holes 20.





---

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

---

Copyright (C); 1998 Japanese Patent Office

---

[MENU](#)[SEARCH](#)[INDEX](#)[DETAIL](#)[BACK](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-17129

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 27/10  
21/28  
27/108  
21/8242  
29/78

4 6 1  
3 0 1

H 0 1 L 27/10 4 6 1  
21/28 3 0 1 S  
27/10 6 8 1 F  
29/78 3 0 1 G

審査請求 未請求 請求項の数10 O L (全 19 頁)

(21) 出願番号

特願平9-169135

(22) 出願日

平成9年(1997) 6月25日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 吉田 誠

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72) 発明者 熊内 隆宏

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72) 発明者 只木 ▲芳▼▲隆▼

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

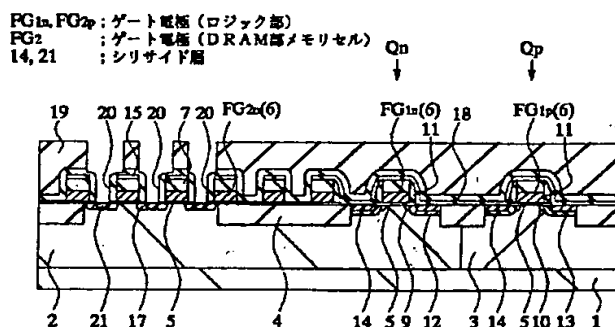
(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【要約】

【課題】 ロジック混載DRAMの高集積化および高性能化を実現することができる技術を提供する。

【解決手段】 ロジック部のnチャネル型MISFET Q<sub>n</sub>のゲート電極FG<sub>1n</sub>およびpチャネル型MISFET Q<sub>p</sub>のゲート電極FG<sub>1p</sub>を形成した後、ロジック部のnチャネル型MISFET Q<sub>n</sub>およびpチャネル型MISFET Q<sub>p</sub>のそれぞれのソース領域、ドレイン領域の表面にシリサイド層14を形成する。次に、DRAM部メモリセルのメモリセル選択用MISFETのゲート電極FG<sub>2n</sub>を形成した後、DRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域に達する第1のコンタクトホール20を形成し、次いで、上記第1のコンタクトホール20の底に露出したメモリセル選択用MISFETのソース領域、ドレイン領域の表面にシリサイド層21を形成する。

図 10



## 【特許請求の範囲】

【請求項1】 ロジックとDRAMが混載されたロジック混載DRAMにおいて、ロジック部のMISFETおよびDRAM部メモリセルのメモリセル選択用MISFETを形成する半導体集積回路装置の製造方法であって、ロジック部のMISFETのゲート電極とDRAM部メモリセルのメモリセル選択用MISFETのゲート電極とは異なる製造工程で形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項2】 ロジックとDRAMが混載されたロジック混載DRAMにおいて、ロジック部のMISFETおよびDRAM部メモリセルのメモリセル選択用MISFETを形成する半導体集積回路装置の製造方法であって、ロジック部のMISFETのゲート電極とDRAM部メモリセルのメモリセル選択用MISFETのゲート電極とは異なる製造工程で形成され、ロジック部のMISFETのソース領域、ドレイン領域の表面に設けられるシリサイド層とDRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域の表面に設けられるシリサイド層とは異なる製造工程で形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項3】 ロジックとDRAMが混載されたロジック混載DRAMにおいて、ロジック部のMISFETおよびDRAM部メモリセルのメモリセル選択用MISFETを形成する半導体集積回路装置の製造方法であって、(a).ロジック部のMISFETのゲート電極を形成する工程と、(b).ロジック部のMISFETのソース領域、ドレイン領域を形成した後、前記ロジック部のMISFETのソース領域、ドレイン領域の表面にシリサイド層を形成する工程と、(c).DRAM部メモリセルのメモリセル選択用MISFETのゲート電極を形成する工程と、(d).DRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域を形成した後、前記DRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域に達する第1のコンタクトホールを形成する工程と、(e).前記第1のコンタクトホールの底に露出した前記DRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域の表面にシリサイド層を形成する工程と、(f).前記第1のコンタクトホール内に導電膜を埋め込む工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項4】 ロジックとDRAMが混載されたロジック混載DRAMにおいて、ロジック部のMISFETおよびDRAM部メモリセルのメモリセル選択用MISFETを形成する半導体集積回路装置の製造方法であって、(a).ロジック部のMISFETのゲート電極を形成する工程と、(b).ロジック部のMISFETのソース領域、ドレイン領域を形成した後、前記ロジック部のMISFETのソース領域、ドレイン領域の表面にシリサイド層を形成する工程と、(c).DRAM部メモリセルのメ

モリセル選択用MISFETのゲート電極を形成する工程と、(d).DRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域を形成した後、前記DRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域に達する第1のコンタクトホールを形成する工程と、(e).前記第1のコンタクトホール内に導電膜を埋め込む工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項5】 ロジックとDRAMが混載されたロジック混載DRAMにおいて、ロジック部のMISFETおよびDRAM部メモリセルのメモリセル選択用MISFETを形成する半導体集積回路装置の製造方法であって、(a).ロジック部のMISFETのゲート電極とDRAM部メモリセルのメモリセル選択用MISFETのゲート電極とを同時に形成する工程と、(b).ロジック部のMISFETのソース領域、ドレイン領域およびDRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域をそれぞれ形成する工程と、(c).前記ロジック部のMISFETのソース領域、ドレイン領域の表面にシリサイド層を形成する工程と、(d).前記DRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域に達する第1のコンタクトホールを形成する工程と、(e).前記第1のコンタクトホールの底に露出した前記DRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域の表面にシリサイド層を形成する工程と、(f).前記第1のコンタクトホール内に導電膜を埋め込む工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項6】 ロジックとDRAMが混載されたロジック混載DRAMにおいて、ロジック部のMISFETおよびDRAM部メモリセルのメモリセル選択用MISFETを形成する半導体集積回路装置の製造方法であって、(a).ロジック部のMISFETのゲート電極とDRAM部メモリセルのメモリセル選択用MISFETのゲート電極とを同時に形成する工程と、(b).ロジック部のMISFETのソース領域、ドレイン領域の一部を構成する低濃度半導体領域およびDRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域を形成する工程と、(c).前記ロジック部のMISFETのソース領域、ドレイン領域の一部を構成する低濃度半導体領域の表面および前記DRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域の表面に第1のシリサイド層を形成する工程と、(d).前記ロジック部のMISFETのソース領域、ドレイン領域の一部を構成する低濃度半導体領域の表面に形成された前記第1のシリサイド層を除去した後、ロジック部のMISFETのソース領域、ドレイン領域の他の一部を構成する高濃度半導体領域を形成し、次いで、前記ロジック部のMISFETのソース領域、ドレイン領域の他の一部を構成する高濃度半導体領域の表面に、前記第

## 3

1のシリサイド層よりも厚く第2のシリサイド層を形成する工程と、(e).前記DRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域の表面に形成された前記第1のシリサイド層に達する第1のコンタクトホールを形成する工程と、(f).前記第1のコンタクトホール内に導電膜を埋め込む工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項1から6のいずれか1項に記載の半導体集積回路装置の製造方法において、ロジック部のMISFETのゲート絶縁膜は、DRAM部メモリセルのメモリセル選択用MISFETのゲート絶縁膜よりも薄く形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項1から6のいずれか1項に記載の半導体集積回路装置の製造方法において、前記DRAM部メモリセルに設けられる前記第1のコンタクトホールは自己整合コンタクトであることを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項1から3のいずれか1項または請求項5に記載の半導体集積回路装置の製造方法において、前記ロジック部のMISFETのソース領域、ドレイン領域の表面に設けられる前記シリサイド層は、前記DRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域の表面に設けられる前記シリサイド層よりも厚く形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項10】 請求項1から6のいずれか1項に記載の半導体集積回路装置の製造方法において、前記DRAM部メモリセルに設けられる前記第1のコンタクトホール内に埋め込まれる前記導電膜は、金属膜であることを特徴とする半導体集積回路装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置の製造技術に関し、特に、ロジック（論理回路）とDRAM（Dynamic Random Access Memory）または電氣的書き換え可能な不揮発性メモリとが混載された高集積半導体集積回路装置に適用して有効な技術に関するものである。

##### 【0002】

【従来の技術】 近年、コンピュータ・グラフィックスを使った自然画並の画像への要求が高まっている。しかし、自然画を実現するためには、主記憶装置として用いられているDRAMのデータ転送速度を現在の135Mバイト/秒から約1000倍の100Gバイト/秒以上とする必要があり、DRAM単体ではその実現は難しい。

【0003】 そこで、性能向上を図る一つの方法として、一つの半導体チップ内にDRAMとロジックを混在させて一つのシステムを形成し、バス信号の伝搬時間の

## 4

短縮および伝搬遅延の回避などによって、データ転送速度を高速化する方法が提案されている。

【0004】 なお、DRAMとロジックが混在する半導体集積回路装置（以下、ロジック混載DRAMと称す）については、例えば、日経マグロウヒル社発行「日経マイクロデバイス」1996年3月1日号、P46～P65に記載されている。

##### 【0005】

【発明が解決しようとする課題】 本発明者は、前記ロジック混載DRAMを開発するにあたり、以下の問題点を見いだした。

【0006】 すなわち、DRAM部メモリセルでは、小さなメモリセル面積で、蓄積電荷を長時間保持することのできる情報蓄積用容量素子をいかに形成できるかが重要である。これに対して、ロジック部では、MISFET（Field Insulator Semiconductor Field Effect Transistor）のゲート電極の長さ（ゲート長）を短くしてしきい値電圧を下げることにより、MISFETの電流駆動能力を向上させ、さらに、寄生抵抗、寄生容量を低減して、いかに高速に論理回路を動作させるかが重要である。従って、ロジック部とDRAM部メモリセルでは、MISFETの集積度、MISFETのゲート長、MISFETのゲート電極と半導体基板との間に設けられるゲート絶縁膜の厚さなどが異なってくる。

【0007】 しかしながら、長く、繰り返しパターンが密集してレイアウトされたDRAM部メモリセルのMISFETのゲート電極と、短く、密度が比較的低いパターン、または孤立パターンであるロジック部のMISFETのゲート電極を、フォトリソグラフィ工程において共に最小寸法となるように同時に解像することは、現在の光フォトリソグラフィ技術では困難である。電子線描画装置を用いれば、上記DRAM部メモリセルのMISFETに適したゲート長を有するゲート電極とロジック部のMISFETに適したゲート長を有するゲート電極とをそれぞれ形成することは可能であるが、スループットまたはコストに問題がある。

【0008】 また、ロジック部では、MISFETの電流駆動能力を上げるために、MISFETのソース領域、ドレイン領域のシリサイド化が必要である。これに対して、DRAM部メモリセルでは、ショートチャネル効果の抑制とドレイン電界の緩和のために、MISFETのソース領域、ドレイン領域の不純物濃度を低くしているため、MISFETのソース領域、ドレイン領域の接合が浅く、シリサイド化することによってリーク電流が増加する可能性がある。このため、DRAM部メモリセルのMISFETのソース領域、ドレイン領域のシリサイド化は難しい。

【0009】 本発明の目的は、ロジック混載DRAMの高集積化および高性能化を実現することができる技術を提供することにある。

【0010】本発明の他の目的は、ロジック混載DRAMの高信頼度化を実現することができる技術を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】すなわち、本発明の半導体集積回路装置の製造方法は、ロジック混載DRAMのロジック部のMISFETおよびDRAM部メモリセルのメモリセル選択用MISFETの製造方法であって、まず、ロジック部のMISFETのゲート電極を形成した後、ロジック部のMISFETのソース領域、ドレイン領域を形成し、次いで、ロジック部のMISFETのソース領域、ドレイン領域の表面に寄生抵抗を低減するためのシリサイド層を形成する。次に、DRAM部メモリセルのメモリセル選択用MISFETのゲート電極を形成した後、DRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域を形成し、次いで、上記DRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域に達する第1のコンタクトホールを形成する。次に、第1のコンタクトホールの底に露出したDRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域の表面に接触抵抗を低減するためのシリサイド層を形成した後、DRAM部メモリセルに設けられた上記第1のコンタクトホール内に導電膜を埋め込むものである。

【0014】上記した手段によれば、ロジック部のMISFETのゲート電極とDRAM部メモリセルのメモリセル選択用MISFETのゲート電極とを異なる製造工程で形成することにより、ロジック部のMISFETまたはDRAM部メモリセルのメモリセル選択用MISFETのそれぞれのレイアウトの特徴に合ったゲート電極の加工が可能となり、寸法精度が向上できる。従って、ロジック部ではMISFETの動作特性のばらつきが低減できることから、しきい値電圧のばらつきの低減、電流駆動能力の向上、オフセット電流の低減が実現でき、回路設計の余裕が広がる。また、DRAM部メモリセルではメモリセルの微細化が可能となる。

【0015】また、ロジック部のMISFETのソース領域、ドレイン領域の表面にシリサイド層を形成してソース領域、ドレイン領域の寄生抵抗を低減することにより、MISFETの電流駆動能力を向上させることができ、また、DRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域の表面にシリサイド層を形成して、第1のコンタクトホール内に埋め込まれる導電膜とメモリセル選択用MISFETのソース

領域、ドレイン領域との接触抵抗を低減させることができる。さらに、ロジック部のMISFETのソース領域、ドレイン領域の表面に形成されるシリサイド層と、DRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域の表面に形成されるシリサイド層とを異なる製造工程で形成することにより、DRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域の接合深さを考慮した薄いシリサイド層を形成することが可能となり、シリサイド層形成によるメモリセル選択用MISFETのソース領域、ドレイン領域の接合破壊を防ぐことができる。

【0016】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。

【0017】なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0018】なお、ロジック混載DRAMにおけるロジック部はCMOS (Complementary Metal Oxide Semiconductor) 構造とし、ロジック部とDRAM部の周辺回路の半導体基板はほぼ同じ断面構造を有しているので、本実施の形態ではDRAM部の周辺回路についての説明は省略する。また、本実施の形態では、同一層で構成されるDRAM部メモリセルのビット線およびロジック部の第1層目のメタル配線を形成するまでの工程について図を用いて説明する。

【0019】図において、Q<sub>n</sub>はロジック部のnチャネル型MISFET、Q<sub>p</sub>はロジック部のpチャネル型MISFETである。

【0020】(実施の形態1) 本発明の一実施の形態であるロジック混載DRAMにおけるロジック部のnチャネル型MISFET Q<sub>n</sub>およびpチャネル型MISFET Q<sub>p</sub>、ならびにDRAM部メモリセルのメモリセル選択用MISFETの製造方法を図1～図17に示す半導体基板の要部断面図を用いて説明する。

【0021】まず、図1に示すように、p-型シリコン単結晶からなる半導体基板1の主面上に周知の方法でp型ウエル2、n型ウエル3、フィールド絶縁膜4およびゲート絶縁膜5を順次形成する。フィールド絶縁膜4は、例えばLOCOS (Local Oxidation of Silicon) アイソレーションまたは埋め込み型浅溝アイソレーションを構成しており、DRAM部メモリセルのゲート絶縁膜5の厚さは、例えば約7nmであり、ロジック部のゲート絶縁膜5の厚さは、例えば約4nmである。

【0022】次に、半導体基板1上にリン(P)が導入された多結晶シリコン膜6および窒化シリコン膜7を順次堆積した後、半導体基板1上にフォトレジスト8を塗布し、次いで、パターン長が短く、低密度のラインパターンの解像に優れるエッジ強調タイプのマスクを用いて露光することによって、上記フォトレジスト8をパター

## 7

ニングする。ロジック部の面積が小さい場合は、電子線リソグラフィによって、上記フォトリソレジスト8をパターンニングしてもよい。その後、パターンニングされたフォトリソレジスト8をマスクにしてロジック部の窒化シリコン膜7をエッチングする。

【0023】次に、図2に示すように、フォトリソレジスト8を除去した後、窒化シリコン膜7をマスクにして多結晶シリコン膜6をエッチングし、ロジック部のnチャネル型MISFETQnのゲート電極FG<sub>1n</sub>およびpチャネル型MISFETQpのゲート電極FG<sub>1p</sub>を形成する。

【0024】次に、フォトリソレジスト（図示せず）および窒化シリコン膜7と多結晶シリコン膜6とからなる積層膜をマスクにして、ロジック部のp型ウエル2に低濃度のn型不純物、例えばPをイオン注入し、nチャネル型MISFETQnのソース領域、ドレイン領域の一部を構成する低濃度のn-型半導体領域9を、ゲート電極FG<sub>1n</sub>に対して自己整合で形成する。

【0025】同様に、ロジック部のn型ウエル3にp型不純物、例えばフッ化ボロン（BF<sub>2</sub>）をイオン注入し、pチャネル型MISFETQpのソース領域、ドレイン領域の一部を構成する低濃度のp-型半導体領域10を、ゲート電極FG<sub>1p</sub>に対して自己整合で形成する。

【0026】次に、図3に示すように、半導体基板1上に堆積された窒化シリコン膜をRIE（Reactive Ion Etching）法などの異方性エッチングで加工することによって、ロジック部の上記ゲート電極FG<sub>1n</sub>、FG<sub>1p</sub>の側壁にサイドウォールスペーサ11を形成する。その後、ロジック部のp型ウエル2に高濃度のn型不純物、例えば砒素（As）をイオン注入し、nチャネル型MISFETQnのソース領域、ドレイン領域の他の一部を構成する高濃度のn+型半導体領域12を形成する。すなわち、nチャネル型MISFETQnのソース領域、ドレイン領域はLDD（Lightly Doped Drain）構造である。

【0027】同様に、ロジック部のn型ウエル3に高濃度のp型不純物、例えばBF<sub>2</sub>をイオン注入し、pチャネル型MISFETQpのソース領域、ドレイン領域の他の一部を構成する高濃度のp+型半導体領域13を形成する。すなわち、pチャネル型MISFETQpのソース領域、ドレイン領域はLDD構造である。

【0028】次に、図4に示すように、半導体基板1上に金属膜（図示せず）、例えばチタン膜、コバルト膜等をスパッタリング法またはCVD（Chemical Vapor Deposition）法によって堆積し、その後、半導体基板1に熱処理を施すことによって、ロジック部のnチャネル型MISFETQnのn+型半導体領域12の表面およびpチャネル型MISFETQpのp+型半導体領域13の表面に、ソース領域、ドレイン領域の寄生抵抗低減のためのシリサイド層14を形成する。次いで、未反応の

## 8

金属膜を洗浄等によって除去した後、半導体基板1上に薄い窒化シリコン膜15を堆積する。

【0029】次に、図5に示すように、半導体基板1上にフォトリソレジスト16を塗布し、次いで、対向長が長いラインアンドスペースパターンの解像に優れるレベンソントタイプのマスクを用いて露光することによって、上記フォトリソレジスト16をパターンニングする。その後、パターンニングされたフォトリソレジスト16をマスクにしてDRAM部メモリセルの窒化シリコン膜15および窒化シリコン膜7を順次エッチングする。

【0030】次に、図6に示すように、フォトリソレジスト16を除去した後、窒化シリコン膜15および窒化シリコン膜7をマスクにして多結晶シリコン膜6をエッチングし、DRAM部メモリセルのメモリセル選択用MISFETのゲート電極FG<sub>2n</sub>を形成する。

【0031】次に、フォトリソレジスト（図示せず）および窒化シリコン膜15と窒化シリコン膜7と多結晶シリコン膜6とからなる積層膜をマスクにして、DRAM部メモリセルのp型ウエル2に低濃度のn型不純物、例えばPをイオン注入し、メモリセル選択用MISFETのソース領域、ドレイン領域を構成する低濃度のn-型半導体領域17を、ゲート電極FG<sub>2n</sub>に対して自己整合で形成する。

【0032】次に、図7に示すように、半導体基板1上に窒化シリコン膜18堆積した後、図8に示すように、例えばTEOS（Tetra Ethyl Ortho Silicate: Si（OC<sub>2</sub>H<sub>5</sub>）<sub>4</sub>）ガスを原料に用いたプラズマCVD法によって、半導体基板1上にその表面が平坦化された酸化シリコン膜19を形成する。

【0033】次いで、図9に示すように、パターンニングされたフォトリソレジスト（図示せず）をマスクにして、まず、酸化シリコン膜19をエッチングし、DRAM部メモリセルのメモリセル選択用MISFETのn-型半導体領域17に達する第1のコンタクトホール20の上部を形成した後、続いて窒化シリコン膜18をエッチングし、上記第1のコンタクトホール20の下部を形成する。

【0034】この際、メモリセル選択用MISFETのゲート電極FG<sub>2n</sub>は、窒化シリコン膜15および窒化シリコン膜7によって構成されるキャップと窒化シリコン膜18によって構成されるスペーサとによって覆われており、また、素子分離領域であるフィールド絶縁膜4の表面も窒化シリコン膜18によって覆われているので、第1のコンタクトホール20は、メモリセル選択用MISFETのゲート電極FG<sub>2n</sub>および素子分離領域に対して自己整合で形成することができる。

【0035】酸化シリコン膜19は、例えば、狭電極RIE装置でC<sub>4</sub>F<sub>8</sub>+CO<sub>2</sub>ガス系を用いてエッチングされ、このエッチング法を用いると、エッチング選択比の違いから酸化シリコン膜19のエッチングは窒化シリ

10

20

30

40

50

コン膜18ではほぼ停止する。また、窒化シリコン膜18は、例えば、ダウンフロータイプの低ダメージアッシング装置で $\text{CHF}_3 + \text{O}_2$  ガス系を用いた等方性エッチング、または狭電極RIEエッチング装置で $\text{CHF}_3 + \text{O}_2$  ガス系を用いた異方性エッチングによってエッチングされる。

【0036】次に、図10に示すように、半導体基板1上に金属膜(図示せず)、例えばチタン膜、コバルト膜等をスパッタリング法またはCVD法によって堆積し、その後、半導体基板1に熱処理を施すことによって、DRAM部メモリセルのメモリセル選択用MISFETのn-型半導体領域17の露出した表面に、接触抵抗低減のためのシリサイド層21を形成する。次いで、未反応の金属膜を洗浄等によって除去する。DRAM部メモリセルに設けられた上記シリサイド層21は、メモリセル選択用MISFETのn-型半導体領域17の接合深さよりも厚く形成されることはなく、ロジック部に設けられたシリサイド層14よりも薄く形成される。

【0037】次に、図11に示すように、半導体基板1上に多結晶シリコン膜またはスパッタタングステン膜とCVDタングステン膜との積層膜、あるいはスパッタTiN膜とCVDタングステン膜との積層膜などの導電膜(図示せず)を堆積した後、CMP(Chemical Mechanical Polishing; 化学的機械研磨)法またはエッチバック法によって上記導電膜の表面を平坦化することにより、第1のコンタクトホール20内に導電膜を埋め込み、埋め込み配線22を形成する。

【0038】次いで、図12に示すように、半導体基板1上に酸化シリコン膜23を堆積した後、図13に示すように、DRAM部メモリセルのビット線を形成する領域の酸化シリコン膜23を除去する。

【0039】次に、図14に示すように、パターニングされたフォトレジスト24をマスクにして、まず、酸化シリコン膜23および酸化シリコン膜19を順次エッチングし、ロジック部のnチャネル型MISFETのn+型半導体領域12の表面に形成されたシリサイド層14およびpチャネル型MISFETのp+型半導体領域13の表面に形成されたシリサイド層14に達する第2のコンタクトホール25の上部を形成する。続いて、図15に示すように、窒化シリコン膜18および窒化シリコン膜15を順次エッチングし、上記第2のコンタクトホール25の下部を形成する。

【0040】この際、ロジック部のnチャネル型MISFETQnのゲート電極FG1nおよびpチャネル型MISFETQpのゲート電極FG1pは、窒化シリコン膜18、窒化シリコン膜15、窒化シリコン膜7および窒化シリコン膜によって構成されるサイドウォールスペーサ11によって覆われており、また、素子分離領域であるフィールド絶縁膜4の表面も窒化シリコン膜18および窒化シリコン膜15によって覆われているので、第2の

コンタクトホール25は、ロジック部のnチャネル型MISFETQnのゲート電極FG1n、pチャネル型MISFETQpのゲート電極FG1pおよび素子分離領域に対して自己整合で形成することができる。

【0041】酸化シリコン膜23および酸化シリコン膜19は、例えば、狭電極RIE装置で $\text{C}_4\text{F}_8 + \text{CO}_2$  ガス系を用いて順次エッチングされ、このエッチング法を用いると、エッチング選択比の違いから酸化シリコン膜19のエッチングは窒化シリコン膜18ではほぼ停止する。また、窒化シリコン膜18および窒化シリコン膜15は、例えば、ダウンフロータイプの低ダメージアッシング装置で $\text{CHF}_3 + \text{O}_2$  ガス系を用いた等方性エッチング、または狭電極RIEエッチング装置で $\text{CHF}_3 + \text{O}_2$  ガス系を用いた異方性エッチングによってエッチングされる。

【0042】次に、図16に示すように、半導体基板1上にスパッタリング法で窒化チタン膜(またはタングステン膜)26を堆積し、次いでCVD法でタングステン膜27を堆積した後、図17に示すように、パターニングされたフォトレジスト(図示せず)をマスクにして上記タングステン膜27および窒化チタン膜26を順次エッチングすることにより、DRAM部メモリセルにタングステン膜27および窒化チタン膜26によって構成されるビット線BL、ならびにロジック部にタングステン膜27および窒化チタン膜26によって構成される第1層目のメタル配線M1を形成する。

【0043】その後、DRAM部メモリセルに情報蓄積用容量素子を形成し、DRAM部メモリセルと周辺回路を接続するメタル配線、ロジック部のランダムな論理回路を接続するメタル配線等を形成し、最後にパッシベーション膜で半導体基板1を被覆することにより、本実施の形態1のロジック混載DRAMが完成する。

【0044】このように、本実施の形態1によれば、ロジック部のnチャネル型MISFETQnのゲート電極FG1nおよびpチャネル型MISFETQpのゲート電極FG1pと、DRAM部メモリセルのメモリセル選択用MISFETのゲート電極FG2nとをそれぞれ異なる製造工程で形成することにより、ロジック部のnチャネル型MISFETQnおよびpチャネル型MISFETQp、またはDRAM部メモリセルのメモリセル選択用MISFETのそれぞれのレイアウトの特徴に合ったゲート電極の加工が可能となり、寸法精度が向上できる。従って、ロジック部ではMISFETの動作特性のばらつきが低減できることから、しきい値電圧のばらつきの低減、電流駆動能力の向上およびオフセット電流の低減が実現でき、回路設計の余裕が広がる。また、DRAM部メモリセルではメモリセルの微細化が可能となる。

【0045】また、ロジック部のnチャネル型MISFETQnおよびpチャネル型MISFETQpのそれぞれのソース領域、ドレイン領域の表面にシリサイド層1

10

20

30

40

50



4を形成してソース領域、ドレイン領域の寄生抵抗を低減することにより、nチャネル型MISFETQnおよびpチャネル型MISFETQpの電流駆動能力を向上させることができる。また、DRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域の表面にシリサイド層21を形成して、第1のコンタクトホール20内に埋め込まれた埋め込み配線22とメモリセル選択用MISFETのソース領域、ドレイン領域との接触抵抗を低減させることができる。

【0046】さらに、ロジック部のnチャネル型MISFETQnおよびpチャネル型MISFETQpのそれぞれのソース領域、ドレイン領域の表面に形成されるシリサイド層14と、DRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域の表面に形成されるシリサイド層21とをそれぞれ異なる製造工程で形成することにより、DRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域の表面に、ソース領域、ドレイン領域の接合深さを考慮した薄いシリサイド層21を形成することが可能となる。これによって、DRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域の接合破壊を防ぐことができる。

【0047】また、DRAM部メモリセルに設けられる第1のコンタクトホール20およびロジック部に設けられる第2のコンタクトホール25は、自己整合コンタクトである。従って、いかなるレイアウトでも第1のコンタクトホール20と第2のコンタクトホール25は、素子分離領域、ロジック部のnチャネル型MISFETQnのゲート電極FG1nおよびpチャネル型MISFETQpのゲート電極FG1p、ならびにDRAM部メモリセルのメモリセル選択用MISFETのゲート電極FG2nに対して自己整合で形成することが可能となるので、レイアウト余裕が向上できる。

【0048】また、DRAM部メモリセルに設けられる埋め込み配線22をタングステン膜などの金属膜で構成することによって、埋め込み配線22の直列抵抗を低減することができ、メモリ動作の高速化を図ることができる。

【0049】なお、前記実施の形態1では、ロジック部のnチャネル型MISFETQnのゲート電極FG1nおよびpチャネル型MISFETのゲート電極FG1p、ならびにDRAM部メモリセルのメモリセル選択用MISFETのゲート電極FG2nは多結晶シリコン膜によって構成したが、メタルシリサイド膜（例えば、モリブデンシリサイド(MoSi)膜、タングステンシリサイド(WSi<sub>2</sub>)膜)と多結晶シリコン膜との積層膜からなるポリサイドゲート電極、またはメタル膜（例えば、タングステン(W)、タングステン(W)膜と窒化タングステン(WN)膜との積層膜、タングステン(W)膜と窒化チタン(TiN)膜との積層膜)と多結晶シリコン

膜との積層膜からなるポリメタルゲート電極を用いてもよい。

【0050】（実施の形態2）本発明の他の実施の形態であるロジック混載DRAMにおけるロジック部のnチャネル型MISFETQnおよびpチャネル型MISFETQp、ならびにDRAM部メモリセルの製造方法を図18～図23に示す半導体基板の要部断面図を用いて説明する。

【0051】まず、前記実施の形態1において前記1～図3を用いて説明した製造方法と同様に、p-型シリコン単結晶からなる半導体基板1の主面上に周知の方法でp型ウエル2、n型ウエル3、フィールド絶縁膜4およびゲート絶縁膜5を順次形成した後、ロジック部のnチャネル型MISFETQnのゲート電極FG1nおよびpチャネル型MISFETQpのゲート電極FG1pを形成する。次いで、nチャネル型MISFETQnのソース領域、ドレイン領域の一部を構成する低濃度のn-型半導体領域9およびpチャネル型MISFETQpのソース領域、ドレイン領域の一部を構成する低濃度のp-型半導体領域10を形成する。その後、半導体基板1上に堆積された窒化シリコン膜をRIE法などの異方性エッチングで加工することによって、ロジック部の上記ゲート電極FG1n、FG1pの側壁にサイドウォールスペーサ11を形成する。次いで、ロジック部のnチャネル型MISFETQnのソース領域、ドレイン領域の他の一部を構成する高濃度のn+型半導体領域12、pチャネル型MISFETQpのソース領域、ドレイン領域の他の一部を構成する高濃度のp+型半導体領域13を形成する。

【0052】次に、図18に示すように、半導体基板1上に金属膜をスパッタリング法またはCVD法によって堆積し、その後、半導体基板1に熱処理を施すことによって、ロジック部のnチャネル型MISFETQnのn+型半導体領域12の表面およびpチャネル型MISFETQpのp+型半導体領域13の表面に、ソース領域、ドレイン領域の寄生抵抗低減のためのシリサイド層14を形成する。次いで、未反応の金属膜を洗浄等によって除去する。

【0053】次に、図19に示すように、半導体基板1上にフォトレジスト16を塗布し、次いで、レベソソタイプのマスクを用いて露光することによって、上記フォトレジスト16をパターニングする。その後、パターニングされたフォトレジスト16をマスクにしてDRAM部メモリセルの窒化シリコン膜7をエッチングし、次いで多結晶シリコン膜6をエッチングしてDRAM部メモリセルのメモリセル選択用MISFETのゲート電極FG2n(6)を形成する。

【0054】次に、フォトレジスト16を除去した後、フォトレジスト(図示せず)および窒化シリコン膜7と多結晶シリコン膜6とからなる積層膜をマスクにして、

DRAM部メモリセルのp型ウエル2に低濃度のn型不純物、例えばPをイオン注入し、メモリセル選択用MISFETのソース領域、ドレイン領域を構成する低濃度のn-型半導体領域17を、ゲート電極FG<sub>2n</sub>(6)に対して自己整合で形成する。次いで、図20に示すように、半導体基板1上に窒化シリコン膜18を堆積する。

【0055】次に、図21に示すように、半導体基板1上にその表面が平坦化された酸化シリコン膜19を堆積する。

【0056】次いで、図22に示すように、前記実施の形態1と同様な製造方法によって、自己整合でDRAM部メモリセルのメモリセル選択用MISFETのn-型半導体領域17に達する第1のコンタクトホール20を形成する。まず、パターンニングされたフォトリソ

(図示せず)をマスクにして酸化シリコン膜19をエッチングし、DRAM部メモリセルのメモリセル選択用MISFETのn-型半導体領域17に達する第1のコンタクトホール20の上部を形成した後、続いて窒化シリコン膜18をエッチングし、上記第1のコンタクトホール20の下部を形成する。

【0057】次に、図23に示すように、半導体基板1上に多結晶シリコン膜またはスパッタタングステン膜とCVDタングステン膜との積層膜、あるいはスパッタTiN膜とCVDタングステン膜との積層膜などの導電膜を堆積した後、CMP法またはエッチバック法によって上記導電膜の表面を平坦化することにより、第1のコンタクトホール20内に導電膜を埋め込み、埋め込み配線22を形成する。

【0058】この後、図には示さないが、前記実施の形態1と同様な製造方法によって、ロジック部のnチャネル型MISFETQ<sub>n</sub>のn+型半導体領域12の表面に形成されたシリサイド層14およびpチャネル型MISFETQ<sub>p</sub>のp+型半導体領域13の表面に形成されたシリサイド層14に達する第2のコンタクトホール25を形成し、次いで、DRAM部メモリセルのビット線BLおよびロジック部の第1層目のメタル配線M<sub>1</sub>を形成する。

【0059】このように、本実施の形態2によれば、前記実施の形態1と同様に、ロジック部のnチャネル型MISFETQ<sub>n</sub>およびpチャネル型MISFETQ<sub>p</sub>、またはDRAM部メモリセルのメモリセル選択用MISFETのそれぞれのレイアウトの特徴に合ったゲート電極の加工が可能となるので、ロジック部ではnチャネル型MISFETQ<sub>n</sub>およびpチャネル型MISFETQ<sub>p</sub>の動作特性のばらつきが低減できることから、しきい値電圧のばらつき、電流駆動能力の向上およびオフセット電流の低減が実現でき、回路設計の余裕が広がる。また、DRAM部メモリセルではメモリセルの微細化が可能となる。また、いかなるレイアウトでもDRAM部メモリセルに設けられる第1のコンタクトホール2

0とロジック部に設けられる第2のコンタクトホール25は素子分離領域、ロジック部のnチャネル型MISFETQ<sub>n</sub>のゲート電極FG<sub>1n</sub>およびpチャネル型MISFETQ<sub>p</sub>のゲート電極FG<sub>1p</sub>、ならびにDRAM部メモリセルのメモリセル選択用MISFETのゲート電極FG<sub>2n</sub>に対して自己整合で形成することが可能となるので、レイアウト余裕が向上できる。また、DRAM部メモリセルに設けられる埋め込み配線22をタングステン膜などの金属膜で構成することによって、埋め込み配線22の直列抵抗を低減することができ、メモリ動作の高速化を図ることができる。

【0060】さらに、ロジック部のnチャネル型MISFETQ<sub>n</sub>およびpチャネル型MISFETQ<sub>p</sub>のそれぞれのソース領域、ドレイン領域の表面にシリサイド層14を形成してソース領域、ドレイン領域の寄生抵抗を低減することにより、nチャネル型MISFETQ<sub>n</sub>およびpチャネル型MISFETQ<sub>p</sub>の電流駆動能力を向上させているが、DRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域の表面にはシリサイド層が形成されていないので、シリサイド層からの金属汚染によるリーク電流の増加に起因したDRAM部メモリセルのリフレッシュ特性の劣化を防ぐことができる。

【0061】(実施の形態3) 本発明の他の実施の形態であるロジック混載DRAMにおけるロジック部のnチャネル型MISFETQ<sub>n</sub>およびpチャネル型MISFETQ<sub>p</sub>、ならびにDRAM部のメモリセルの製造方法を図24～図32に示す半導体基板の要部断面図を用いて説明する。

【0062】まず、図24に示すように、p-型シリコン単結晶からなる半導体基板1の主面上に周知の方法でp型ウエル2、n型ウエル3、フィールド絶縁膜4およびゲート絶縁膜5を順次形成した後、ロジック部のnチャネル型MISFETQ<sub>n</sub>のゲート電極FG<sub>1n</sub>およびpチャネル型MISFETQ<sub>p</sub>のゲート電極FG<sub>1p</sub>、ならびにDRAM部メモリセルのメモリセル選択用MISFETのゲート電極FG<sub>2n</sub>を形成する。次いで、ロジック部のnチャネル型MISFETQ<sub>n</sub>のソース領域、ドレイン領域の一部を構成する低濃度のn-型半導体領域9およびDRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域を構成するn-型半導体領域17を形成した後、ロジック部のpチャネル型MISFETQ<sub>p</sub>のソース領域、ドレイン領域の一部を構成する低濃度のp-型半導体領域10を形成する。

【0063】次に、図25に示すように、半導体基板1上に堆積された窒化シリコン膜をRIE法などの異方性エッチングで加工することによって、ロジック部の上記ゲート電極FG<sub>1n</sub>、FG<sub>1p</sub>およびDRAM部メモリセルの上記ゲート電極FG<sub>2n</sub>の側壁にサイドウォールスペーサ11を形成する。その後、ロジック部のp型ウエル2

に高濃度の $n$ 型不純物、例えば $As$ をイオン注入し、 $n$ チャネル型 $MISFETQ_n$ のソース領域、ドレイン領域の他の一部を構成する高濃度の $n^+$ 型半導体領域12を形成する。

【0064】同様に、ロジック部の $n$ 型ウエル3に高濃度の $p$ 型不純物、例えば $B$ をイオン注入し、 $p$ チャネル型 $MISFETQ_p$ のソース領域、ドレイン領域の他の一部を構成する高濃度の $p^+$ 型半導体領域13を形成する。

【0065】次に、図26に示すように、半導体基板1上に窒化シリコン膜28を堆積した後、図27に示すように、パターニングされたフォトレジスト29をマスクにしてロジック部の窒化シリコン膜28を $RIE$ 法などの異方性エッチングで加工することによって、ロジック部の $n$ チャネル型 $MISFETQ_n$ の $n^+$ 型半導体領域12の表面および $p$ チャネル型 $MISFETQ_p$ の $p^+$ 型半導体領域13の表面を露出させる。この際、 $n$ チャネル型 $MISFETQ_n$ のゲート電極 $FG_{1n}$ および $p$ チャネル型 $MISFETQ_p$ のゲート電極 $FG_{1p}$ の側壁に設けられたサイドウォールスペーサ11の側壁に、さらに窒化シリコン膜28によってサイドウォールスペーサが形成される。

【0066】次に、フォトレジスト29を除去した後、半導体基板1上に金属膜をスパッタリング法または $CVD$ 法によって堆積し、その後、半導体基板1に熱処理を施すことによって、ロジック部の $n$ チャネル型 $MISFETQ_n$ の $n^+$ 型半導体領域12の表面および $p$ チャネル型 $MISFETQ_p$ の $p^+$ 型半導体領域13の表面に、ソース領域、ドレイン領域の寄生抵抗低減のためのシリサイド層14を形成する。次いで、未反応の金属膜を洗浄等によって除去する。

【0067】次に、図29に示すように、半導体基板1上にその表面が平坦化された酸化シリコン膜19を堆積する。

【0068】次いで、図30に示すように、前記実施の形態1と同様な製造方法によって、自己整合で $DRAM$ 部メモリセルのメモリセル選択用 $MISFET$ の $n^-$ 型半導体領域17に達する第1のコンタクトホール20を形成する。まず、パターニングされたフォトレジスト

(図示せず)をマスクにして酸化シリコン膜19をエッチングし、 $DRAM$ 部メモリセルのメモリセル選択用 $MISFET$ の $n^-$ 型半導体領域17に達する第1のコンタクトホール20の上部を形成した後、続いて窒化シリコン膜28をエッチングし、上記第1のコンタクトホール20の下部を形成する。

【0069】次に、図31に示すように、半導体基板1上に金属膜をスパッタリング法または $CVD$ 法によって堆積し、その後、半導体基板1に熱処理を施すことによって、 $DRAM$ 部メモリセルのメモリセル選択用 $MISFET$ の $n^-$ 型半導体領域17の表面に、接触抵抗低減

のためのシリサイド層21を形成する。次いで、未反応の金属膜を洗浄等によって除去する。 $DRAM$ 部メモリセルに設けられた上記シリサイド層21は、メモリセル選択用 $MISFET$ の $n^-$ 型半導体領域17の接合深さよりも厚く形成されることはなく、ロジック部に設けられたシリサイド層14よりも薄く形成される。

【0070】次に、図32に示すように、半導体基板1上に多結晶シリコン膜またはスパッタタングステン膜と $CVD$ タングステン膜との積層膜、あるいはスパッタ $TiN$ 膜と $CVD$ タングステン膜との積層膜などの導電膜を堆積した後、 $CMP$ 法またはエッチバック法によって上記導電膜の表面を平坦化することにより、第1のコンタクトホール20内に導電膜を埋め込み、埋め込み配線22を形成する。

【0071】この後、図には示さないが、前記実施の形態1と同様な製造方法によって、ロジック部の $n$ チャネル型 $MISFETQ_n$ の $n^+$ 型半導体領域12の表面に形成されたシリサイド層14および $p$ チャネル型 $MISFETQ_p$ の $p^+$ 型半導体領域13の表面に形成されたシリサイド層14に達する第2のコンタクトホール25を形成し、次いで、 $DRAM$ 部メモリセルのビット線 $BL$ およびロジック部の第1層目のメタル配線 $M_1$ を形成する。

【0072】このように、本実施の形態3によれば、前記実施の形態1と同様に、ロジック部の $n$ チャネル型 $MISFETQ_n$ および $p$ チャネル型 $MISFETQ_p$ のそれぞれのソース領域、ドレイン領域の表面にシリサイド層14を形成してソース領域、ドレイン領域の寄生抵抗を低減することにより、 $n$ チャネル型 $MISFETQ_n$ および $p$ チャネル型 $MISFETQ_p$ の電流駆動能力を向上させることができる。また、 $DRAM$ 部メモリセルのメモリセル選択用 $MISFET$ のソース領域、ドレイン領域の表面に、ソース領域、ドレイン領域の接合深さを考慮した薄いシリサイド層21を形成することが可能となり、メモリセル選択用 $MISFET$ のソース領域、ドレイン領域の接合破壊を防ぐことができる。また、いかなるレイアウトでも $DRAM$ 部メモリセルに設けられる第1のコンタクトホール20は素子分離領域、 $DRAM$ 部メモリセルのメモリセル選択用 $MISFET$ のゲート電極 $FG_{2n}$ に対して自己整合で形成することが可能となるので、 $DRAM$ 部メモリセルのレイアウト余裕が向上できる。また、 $DRAM$ 部メモリセルに設けられる埋め込み配線22をタングステン膜などの金属膜で構成することによって、埋め込み配線22の直列抵抗を低減することができ、メモリ動作の高速化を図ることができる。

【0073】(実施の形態4) 本発明の他の実施の形態であるロジック混載 $DRAM$ におけるロジック部の $n$ チャネル型 $MISFETQ_n$ および $p$ チャネル型 $MISFETQ_p$ 、ならびに $DRAM$ 部のメモリセルの製造方法

を図33～図40に示す半導体基板の要部断面図を用いて説明する。

【0074】まず、図33に示すように、p-型シリコン単結晶からなる半導体基板1の主面上に周知の方法でp型ウエル2、n型ウエル3、フィールド絶縁膜4およびゲート絶縁膜5を順次形成した後、ロジック部のnチャネル型MISFETQnのゲート電極FG1nおよびpチャネル型MISFETQpのゲート電極FG1p、ならびにDRAM部メモリセルのメモリセル選択用MISFETのゲート電極FG2nを形成する。次いで、ロジック部のnチャネル型MISFETQnのソース領域、ドレイン領域の一部を構成する低濃度のn-型半導体領域9およびDRAM部メモリセルのメモリセル選択用MISFETのソース領域、ドレイン領域を構成するn-型半導体領域17を形成した後、ロジック部のpチャネル型MISFETQpのソース領域、ドレイン領域の一部を構成する低濃度のp-型半導体領域10を形成する。

【0075】次に、半導体基板1上に堆積された窒化シリコン膜をRIE法などの異方性エッチングで加工することによって、ロジック部の上記ゲート電極FG1n、FG1pおよびDRAM部メモリセルの上記ゲート電極FG2nの側壁にサイドウォールスペーサ11を形成する。

【0076】次に、図34に示すように、半導体基板1上に金属膜をスパッタリング法またはCVD法によって堆積し、その後、半導体基板1に熱処理を施すことによって、ロジック部のnチャネル型MISFETQnのn-型半導体領域9の表面およびpチャネル型MISFETQpのp-型半導体領域10の表面、ならびにDRAM部メモリセルのメモリセル選択用MISFETのn-型半導体領域17の表面に、薄いシリサイド層30を形成する。次いで、未反応の金属膜を洗浄等によって除去する。

【0077】次に、図35に示すように、半導体基板1上に窒化シリコン膜28を堆積した後、図36に示すように、パターニングされたフォトリソグ29をマスクにしてロジック部の窒化シリコン膜28をRIE法などの異方性エッチングで加工することによって、ロジック部のnチャネル型MISFETQnのn-型半導体領域9の表面およびpチャネル型MISFETQpのp-型半導体領域10の表面を露出させる。この際、nチャネル型MISFETQnのn-型半導体領域9の表面およびpチャネル型MISFETQpのp-型半導体領域10の表面に形成されていたシリサイド層30は除去される。

【0078】次に、図37に示すように、フォトリソグ29を除去し、必要に応じてサイドウォールスペーサ11の下部に残ったシリサイド層30を完全に除去するための洗浄を行なった後、ロジック部のp型ウエル2に高濃度のn型不純物、例えばAsをイオン注入し、nチャネル型MISFETQnのソース領域、ドレイン領域

の他の一部を構成する高濃度のn+型半導体領域12を形成する。

【0079】同様に、ロジック部のn型ウエル3に高濃度のp型不純物、例えばBF2をイオン注入し、pチャネル型MISFETQpのソース領域、ドレイン領域の他の一部を構成する高濃度のp+型半導体領域13を形成する。

【0080】次いで、半導体基板1上に金属膜をスパッタリング法またはCVD法によって堆積し、その後、半導体基板1に熱処理を施すことによって、ロジック部のnチャネル型MISFETQnのn+型半導体領域12の表面およびpチャネル型MISFETQpのp+型半導体領域13の表面に、ソース領域、ドレイン領域の寄生抵抗低減のためのシリサイド層31を形成する。次いで、未反応の金属膜を洗浄等によって除去する。

【0081】次いで、図38に示すように、半導体基板1上にその表面が平坦化された酸化シリコン膜19を堆積する。

【0082】次に、図39に示すように、前記実施の形態1と同様な製造方法によって、自己整合でDRAM部メモリセルのメモリセル選択用MISFETのn-型半導体領域17の表面に形成されたシリサイド層30に達する第1のコンタクトホール20を形成する。まず、パターニングされたフォトリソグ（図示せず）をマスクにして酸化シリコン膜19をエッチングし、DRAM部メモリセルのメモリセル選択用MISFETのn-型半導体領域17の表面に形成されたシリサイド層30に達する第1のコンタクトホール20の上部を形成した後、続いて窒化シリコン膜28をエッチングし、上記第1のコンタクトホール20の下部を形成する。

【0083】次に、図40に示すように、半導体基板1上に多結晶シリコン膜またはスパッタタングステン膜とCVDタングステン膜との積層膜、あるいはスパッタTiN膜とCVDタングステン膜との積層膜などの導電膜を堆積した後、CMP法またはエッチバック法によって上記導電膜の表面を平坦化することにより、第1のコンタクトホール20内に導電膜を埋め込み、埋め込み配線22を形成する。

【0084】この後、図には示さないが、前記実施の形態1と同様な製造方法によって、ロジック部のnチャネル型MISFETQnのn+型半導体領域12の表面に形成されたシリサイド層31およびpチャネル型MISFETQpのp+型半導体領域13の表面に形成されたシリサイド層31に達する第2のコンタクトホール25を形成し、次いで、DRAM部メモリセルのビット線BLおよびロジック部の第1層目のメタル配線M1を形成する。

【0085】このように、本実施の形態4によれば、前記実施の形態1と同様に、ロジック部のnチャネル型MISFETQnおよびpチャネル型MISFETQpの

【図2】本発明の一実施の形態であるロジック混載DRAMの製造方法を示す半導体基板の要部断面図である。

【図 21】本発明の他の実施の形態であるロジック混載 DRAM の製造方法を示す半導体基板の要部断面図である。

【図 22】本発明の他の実施の形態であるロジック混載 DRAM の製造方法を示す半導体基板の要部断面図である。

【図 23】本発明の他の実施の形態であるロジック混載 DRAM の製造方法を示す半導体基板の要部断面図である。

【図 24】本発明の他の実施の形態であるロジック混載 DRAM の製造方法を示す半導体基板の要部断面図である。

【図 25】本発明の他の実施の形態であるロジック混載 DRAM の製造方法を示す半導体基板の要部断面図である。

【図 26】本発明の他の実施の形態であるロジック混載 DRAM の製造方法を示す半導体基板の要部断面図である。

【図 27】本発明の他の実施の形態であるロジック混載 DRAM の製造方法を示す半導体基板の要部断面図である。

【図 28】本発明の他の実施の形態であるロジック混載 DRAM の製造方法を示す半導体基板の要部断面図である。

【図 29】本発明の他の実施の形態であるロジック混載 DRAM の製造方法を示す半導体基板の要部断面図である。

【図 30】本発明の他の実施の形態であるロジック混載 DRAM の製造方法を示す半導体基板の要部断面図である。

【図 31】本発明の他の実施の形態であるロジック混載 DRAM の製造方法を示す半導体基板の要部断面図である。

【図 32】本発明の他の実施の形態であるロジック混載 DRAM の製造方法を示す半導体基板の要部断面図である。

【図 33】本発明の他の実施の形態であるロジック混載 DRAM の製造方法を示す半導体基板の要部断面図である。

【図 34】本発明の他の実施の形態であるロジック混載 DRAM の製造方法を示す半導体基板の要部断面図である。

【図 35】本発明の他の実施の形態であるロジック混載 DRAM の製造方法を示す半導体基板の要部断面図である。

【図 36】本発明の他の実施の形態であるロジック混載 DRAM の製造方法を示す半導体基板の要部断面図である。

【図 37】本発明の他の実施の形態であるロジック混載 DRAM の製造方法を示す半導体基板の要部断面図である。

【図 38】本発明の他の実施の形態であるロジック混載 DRAM の製造方法を示す半導体基板の要部断面図であ

る。

【図 39】本発明の他の実施の形態であるロジック混載 DRAM の製造方法を示す半導体基板の要部断面図である。

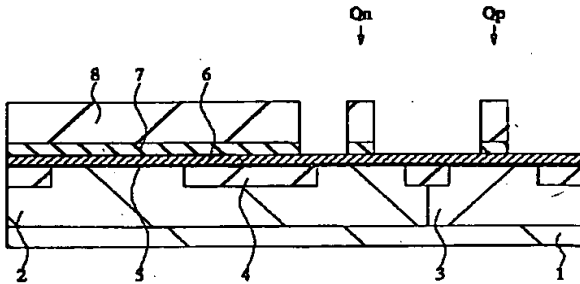
【図 40】本発明の他の実施の形態であるロジック混載 DRAM の製造方法を示す半導体基板の要部断面図である。

# 【符号の説明】

- 1 半導体基板
- 2 p 型ウエル
- 3 n 型ウエル
- 4 フィールド絶縁膜
- 5 ゲート絶縁膜
- 6 多結晶シリコン膜
- 7 窒化シリコン膜
- 8 フォトレジスト
- 9 n- 型半導体領域
- 10 p- 型半導体領域
- 11 サイドウォールスペーサ
- 12 n+ 型半導体領域
- 13 p+ 型半導体領域
- 14 シリサイド層
- 15 窒化シリコン膜
- 16 フォトレジスト
- 17 n- 型半導体領域
- 18 窒化シリコン膜
- 19 酸化シリコン膜
- 20 第 1 のコンタクトホール
- 21 シリサイド層
- 22 埋め込み配線
- 23 酸化シリコン膜
- 24 フォトレジスト
- 25 第 2 のコンタクトホール
- 26 窒化チタン膜
- 27 タングステン膜
- 28 窒化シリコン膜
- 29 フォトレジスト
- 30 シリサイド層
- 31 シリサイド層
- 40 FG<sub>1n</sub> ゲート電極 (ロジック部の n チャネル型 MIS FET)
- FG<sub>1p</sub> ゲート電極 (ロジック部の p チャネル型 MIS FET)
- FG<sub>2n</sub> ゲート電極 (DRAM 部メモリセルのメモリセル選択用 MIS FET)
- Q<sub>n</sub> n チャネル型 MIS FET
- Q<sub>p</sub> p チャネル型 MIS FET
- BL ビット線
- M<sub>1</sub> 第 1 層目のメタル配線

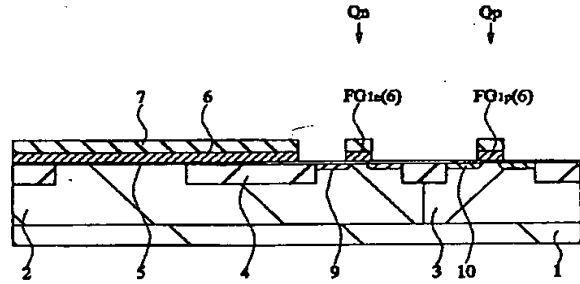
【図 1】

図 1



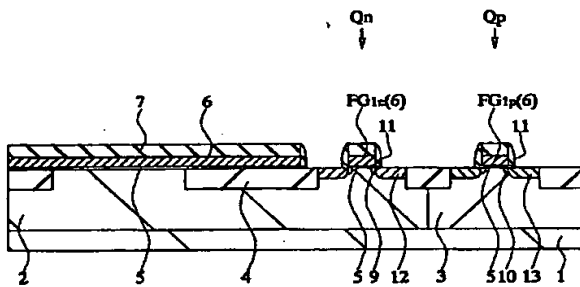
【図 2】

図 2



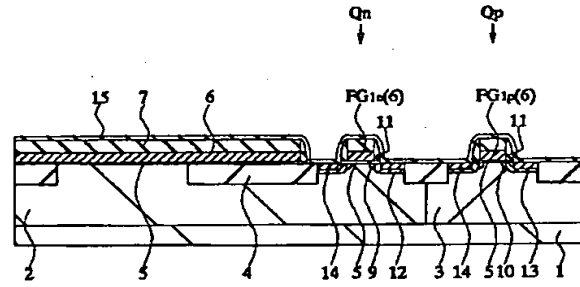
【図 3】

図 3



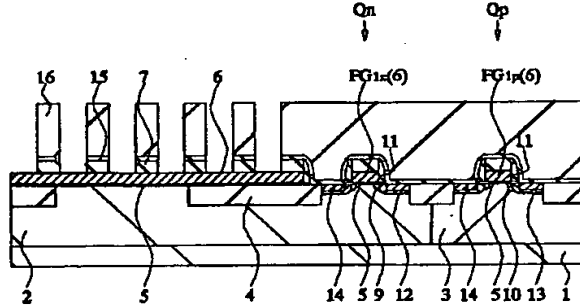
【図 4】

図 4



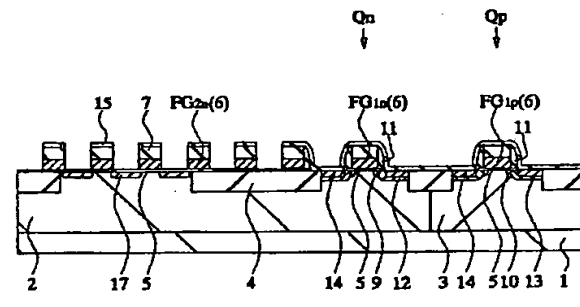
【図 5】

図 5



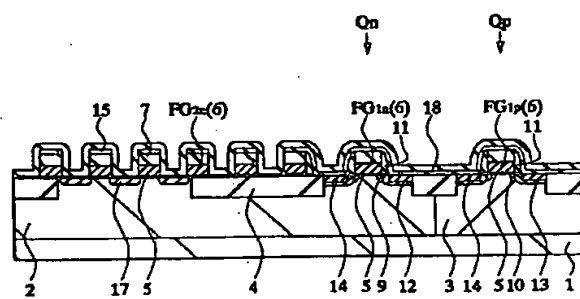
【図 6】

図 6



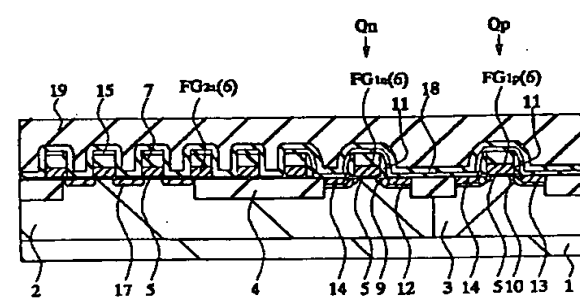
【図 7】

図 7



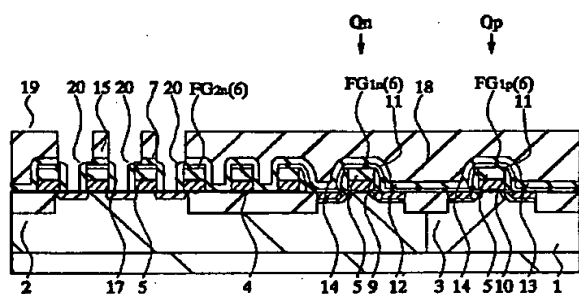
【図 8】

図 8



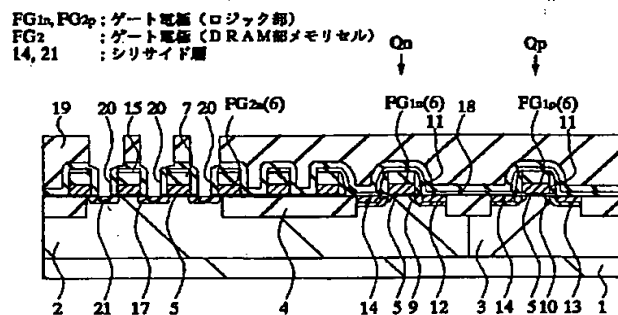
【図 9】

図 9



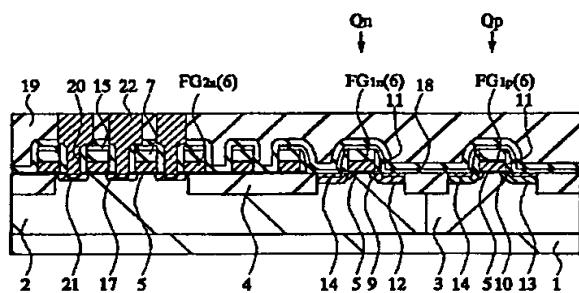
【図 10】

図 10



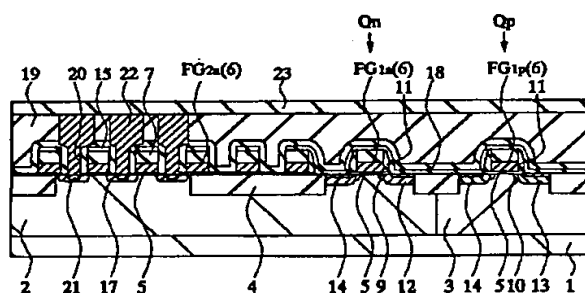
【図 11】

図 11



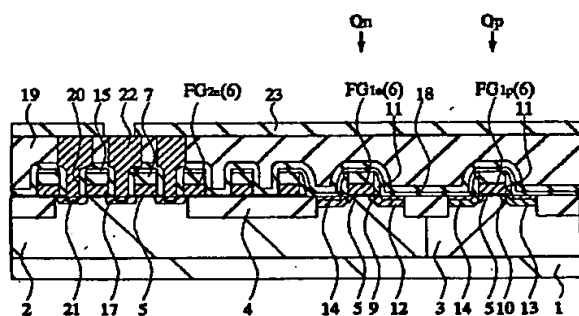
【図 12】

図 12



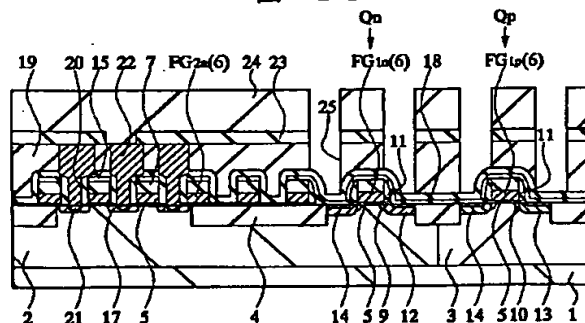
【図 13】

図 13



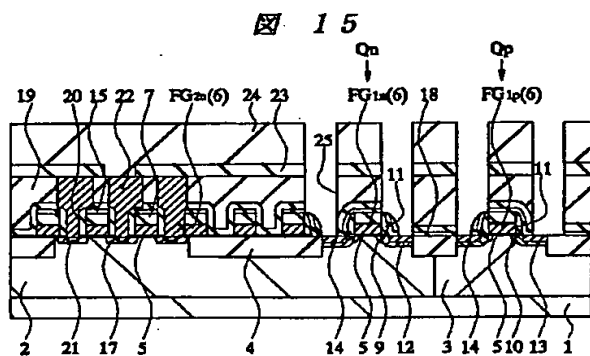
【図 14】

図 14

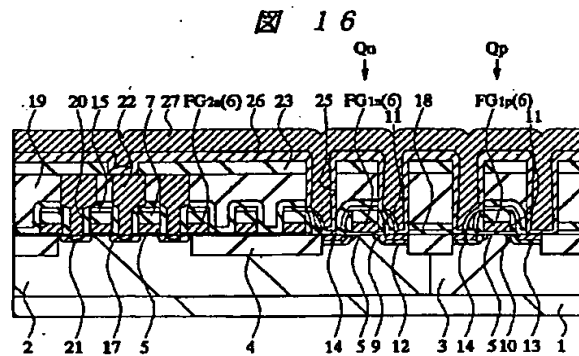




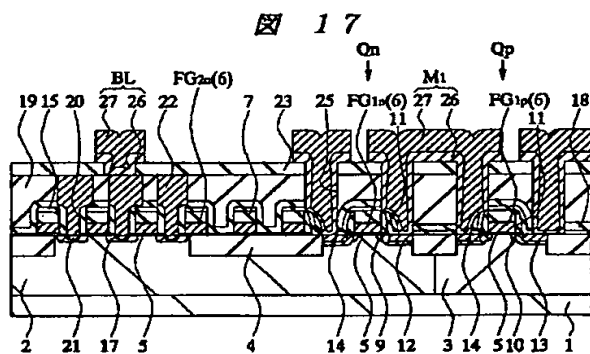
【図 15】



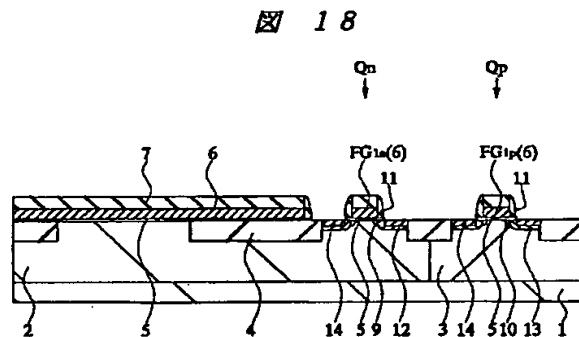
【図 16】



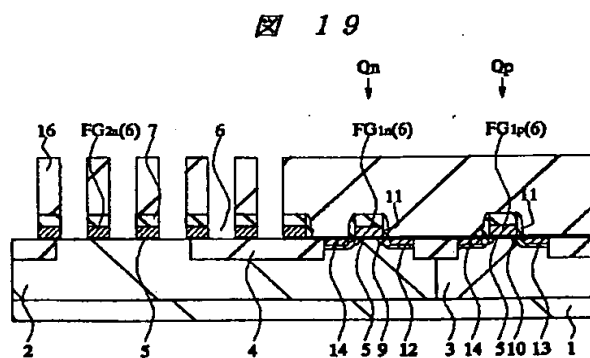
【圖 17】



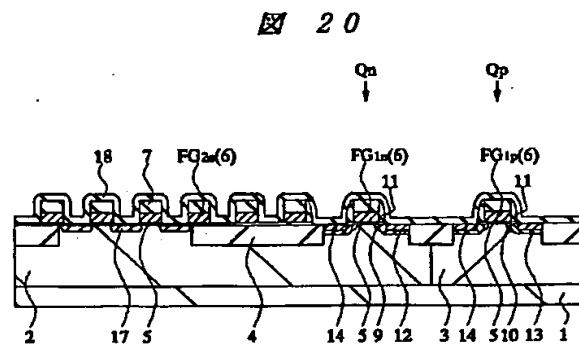
【圖 18】

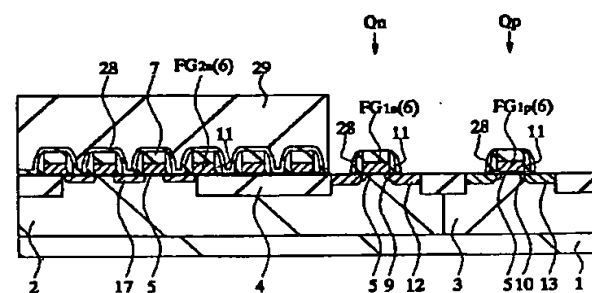


【圖 19】



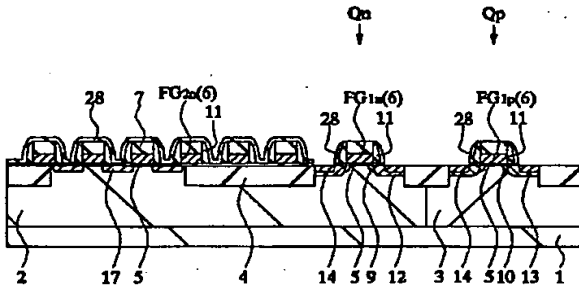
【図 20】





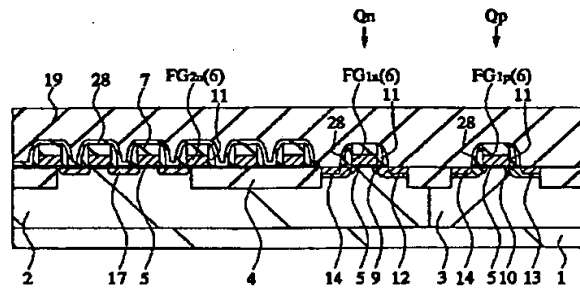
【図 28】

図 28



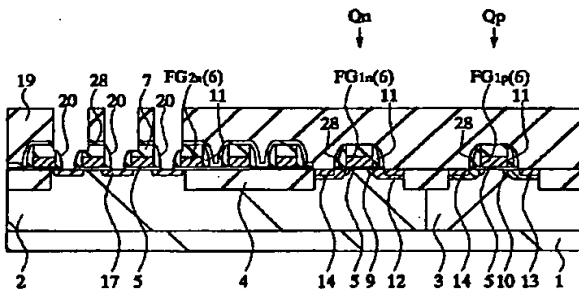
【図 29】

図 29



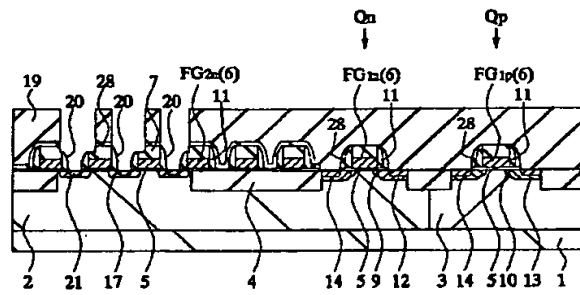
【図 30】

図 30



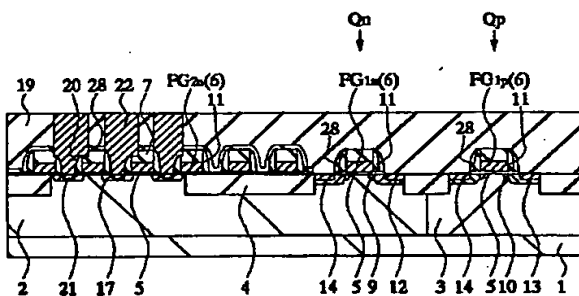
【図 31】

図 31



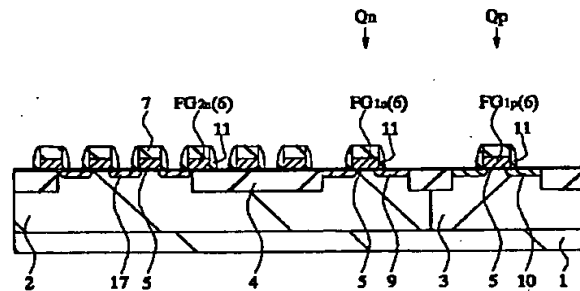
【図 32】

図 32



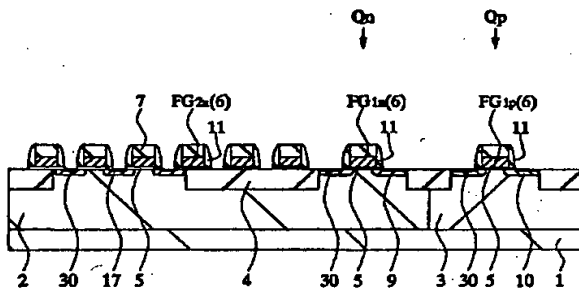
【図 33】

図 33



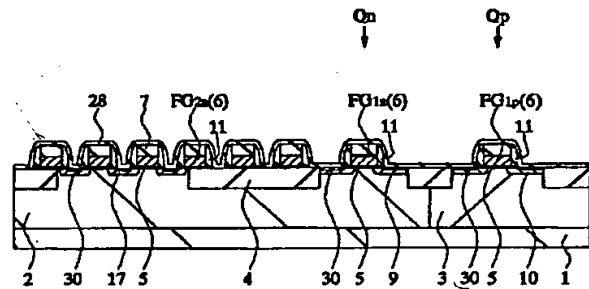
【図 3 4】

図 3 4



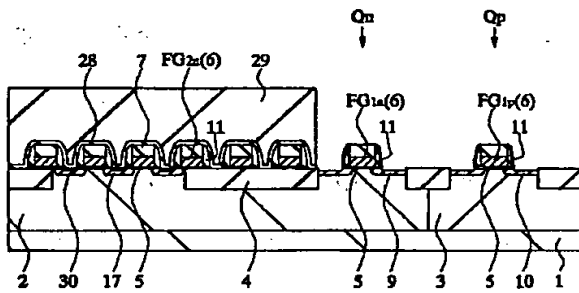
【図 3 5】

図 3 5



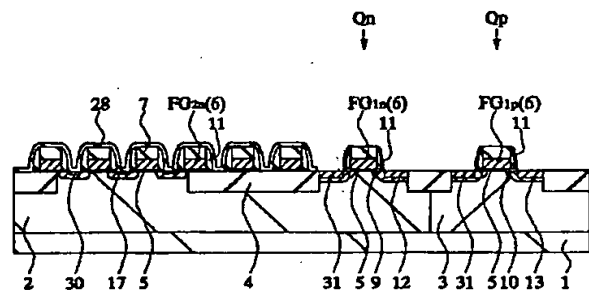
【図 3 6】

図 3 6



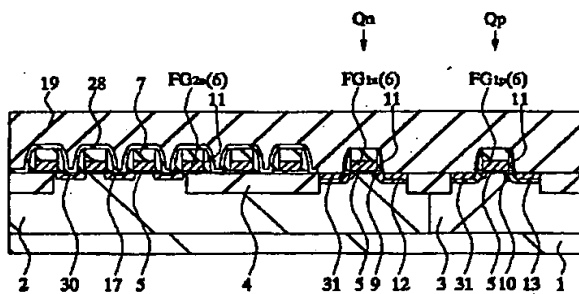
【図 3 7】

図 3 7



【図 3 8】

図 3 8



【図 3 9】

図 3 9

